

# FPGA DVB-S Encoder

Die Idee ist, einen DVB-S-Encoder in VHDL zu realisieren.

## Software

### Schnittstellen

- Schnittstelle zum PC: Ethernet (UDP)
- Schnittstelle zum I/Q-Modulator: 2xDAC

### Komponenten

Ethernet - FIFO - Scrambler - RS-Encoder - Interleaver - P/S-Converter - Convolutional Coder - Puncturing - Mapping - (Interpolation) - Baseband Filter

Bis nach dem Interleaver ist die Struktur byteweise aufgebaut, danach arbeitet sie bit-seriell.

From:

<http://loetlabor-jena.de/> - **Lötlabor Jena**

Permanent link:

<http://loetlabor-jena.de/doku.php?id=projekte:das:dvbs&rev=1422616724>

Last update: **2015/01/30 11:18**

