PLL-Ansatz für Timing-Anwendungen im Labor

Die bisher evaluierten Konzepte eigneten sich nicht für den ernsthaften Laboreinsatz, wenn die Frequenzgenauigkeit gemeinsam mit der Stabilität in kurzen und langen Betrachtungszeiträumen optimiert werden sollte. Es wurde daher ein Konzept erdacht, welches die gefundenen Missstände behebt.

Konzept

Überblick

Als wichtigste Änderung wird der uBlox-GNSS-Empfänger mit einem Takt betrieben, der direkt aus der 10 MHz-Referenz erzeugt wird. Dies ist erforderlich, um die schlechte Temperaturstabilität des internen Oszillators zu entfernen. Die uBlox M8Q-Module benötigen einen 26 MHz-Takt. Aus diesem wird intern eine Systemfrequenz von 48 MHz erzeugt, zu der alle I/Os synchron sind. Vor allem der Timepulse-Ausgang weist dadurch einen Quanitisierungsfehler von etwa 20 ns auf, was für Timing-Aufgaben allein nicht hinreichend gut wäre. Das uBlox-Protokoll bietet daher eine Nachricht an, die den Quantisierungsfehler der folgenden Flanke bis auf 1 ps auflöst.

Als Phasenvergleichsfrequenz wird in diesem Aufbau 1 Hz verwendet, vor allem, um den relativen Quantisierungsfehler zu minimieren und die Korrektur desselben über das UBX-Protokoll durchführen zu können. Für die angestrebte Regelzeitkonstante im Bereich 1000 Sekunden ist kein schnellerer Phasenvergleich erforderlich.

Ein FPGA wird verwendet, um:

- ein 1PPS-Signal aus dem 10 MHz-OCXO zu erzeugen
- den Phasenvergleich zwischen GPS- und OCXO-1PPS durchzuführen
- ein digitales Schleifenfilter zu implementieren
- die Abstimmspannung über einen Delta-Sigma-DAC zu erzeugen.

Außerhalb des FPGAs wird danach das digitale Ausgangssignal des Delta-Sigma-DACs aufbereitet, um danach dem Abstimmeingang zugeführt zu werden.

FPGA-Design

Das vom GPS-Empfänger erzeugte 1PPS-Signal wird in eine FPGA-interne 48 MHz-Taktdomäne einsynchronisiert. Da die 48 MHz-I/O-Takt des uBlox-RX und die 48 MHz-Domäne des FPGAs einen unbekannten Phasenoffset haben, muss hier einmalig pro Power-On eine Messung und Korrektur der Phasenlage erfolgen.

In der 48 MHz-Domäne des FPGAs wird nun ebenfalls ein 1PPS-Signal mit dem OCXO-Takt als Referenz erzeugt. Beide 1PPS-Signale werden daraufhin einem Phasenvergleicher zugeführt.

Parallel wird zu jedem 1PPS-Puls vom GNSS-Empfänger der zugehörige Quantisierungsfehler ausgelesen und auf den Phasenfehler addiert, um die Auflösung zu erhöhen. Das entstehende Fehlersignal wird danach dem digitalen Schleifenfilter zugeführt.

Das Schleifenfilter wird zur Einstellung der gewünschten Regelzeitkonstante konfiguriert und kann in seiner Bandbreite umgeschaltet werden. Der gemessene Phasenfehler zu jedem Puls des 1PPS-Signals wird verwendet, um die Abstimmspannung zu verändern.

Da Werte am Ausgang des digitalen Schleifenfilters nur mit 1 Hz entstehen und ein Rekonstruktionsfilter für den Ausgang des DAC mit entsprechender Grenzfrequenz und Steilheit in analoger Schaltungstechnik nicht sinnvoll realisiert werden kann, wird an dessen Ausgang eine Abtastratenkonvertierung (Resampling) durchgeführt. Durch Interpolation in den Bereich einiger hundert Hz / einiger kHz werden Aliasing-Produkte nach der Digital-Analog-Wandlung weit weg vom Nutzband verschoben, was die Anforderungen an das zu designende Tiefpassfilter entspannt.

Ein Delta-Sigma-DAC erzeugt an einem FPGA-I/O ein noch digitales Ausgangssignal. Ein Delta-Sigma-DAC wird eingesetzt, um das Quantisierungsrauschen des Wandlungsprozesses in höhere Frequenzbereiche zu verschieben und im schmalen Nutzband hohes SQNR zu erreichen.

Analoge Signalkonditionierung

Der Delta-Sigma-modulierte Ausgangspin wird an einen Levelshifter, dessen Ausgangsspannung durch eine stabile 5V-Spannungsreferenz bestimmt wird, geführt und dessen Ausgangssignal einer Tiefpassfilterung unterzogen.

Diese analoge Tiefpassfilterung übernimmt hierbei zwei Funktionen, die die Dimensionierung maßgeblich bestimmen: Einerseits müssen Aliasing-Produkte der Abtastrate des Fehlersignals wirksam unterdrückt werden, andererseits auch das Quantisierungsrauschen des Delta-Sigma-Prozesses. Durch geeignete Auslegung von Delta-Sigma-DAC und Abtastratenkonvertierung reicht hier ein Filter niedriger Ordnung mit einer Grenzfrequenz im bereich einiger hundert Hz aus. Da der Abstimmeingang des OCXO eine verhältnismäßig niederohmige Last darstellt (etwa 400 kOhm), muss ein aktives Filter mit niedrigem Ausgangswiderstand eingesetzt werden (TBC!).

From:
https://loetlabor-jena.de/ - **Lötlabor Jena**

Permanent link:
https://loetlabor-jena.de/doku.php?id=projekte:gpsdo:v3&rev=1540123671

Last update: **2018/10/21 12:07**