

# HPSDR-Nachbau

Es wurde ein HPSDR Hermes-Bausatz zusammengestellt und von Gert DL5ARG, Stefan DK3SB und Sebastian DL3YC aufgebaut.

## Unterlagen

Projektseite von HPSDR: <http://openhpsdr.org/hermes.php> / <http://openhpsdr.org/wiki/index.php?title=HERMES>

Schaltplan: [TAPR Apache Labs](#)

Das Layout ist nicht open source! Apache Labs hat es nicht freigegeben.

Aufbauinformationen: [Hermes](#)

## Bausatz

Sebastian hat Warenkörbe für die Distributoren zusammengestellt. Damit kann ein Bausatz zusammengestellt werden.

- [Stückliste\(BOM\)](#)
- Digikey-Warenkorb [hier](#) - 318,17€
- Reichelt-Warenkorb [hier](#) - 20,48€
- Mini-Circuits wurde bei eBay von einem rumänischen OM bestellt
- Leiterplatte von [Apache Labs](#) für nur 18\$!

*Es zeigte sich, dass manche Bauteile die falsche Größe haben oder nicht benötigt werden. Vor Bestellung bitte Rücksprache halten.*

## Anmerkungen

- Die BOM von Apache hat bei Unstimmigkeiten zwischen BOM und Schaltplan Vorrang
- Für R113 wurden statt 56k (Schaltplan) Widerstände mit 63,4k (BOM) benutzt, Funktionalität bestätigt.
- C37 und C77 sind auf der Platine fälschlicherweise als C229 und C228 bezeichnet. Beide werden mit je 33pF bestückt(wie im BOM).
- Als LDO für 12V wird ein LM1117 verwendet. Die notwendigen Widerstände sind
  - R1 (Pin 1 - Pin 2) = 475R ODER 1k ODER 825R
  - R2 (Pin 1 - GND) = 3k9 ODER 8k2 ODER 6k8
  - erstere Bestückoption bevorzugt (0603 senkrecht, 0805 waagerecht)

## Aufbau

Alle drei Bausätze wurden erfolgreich aufgebaut und in Betrieb genommen!

## Vorbereitungen

### USB Blaster

Zur Inbetriebnahme wurden 2 [USB-Blaster](#) aufgebaut. Damit wird dann das FPGA mit Software versorgt.



## Bestückung

### Basteltagebuch Gert & Stefan

- 21.01.15 - Stefan sortiert Bauteile und probiert die Leiterplatte aus
  - erste Teile der Stromversorgung montiert
- 28.01.15 - erstes Treffen, Aufbau erster Teil der Stromversorgung (Schaltplan-Seite 5)
  - Gert hat einen Teil der verbleibenden Bauelemente mitgenommen
  - Stefan hat Seite 5 bis auf Kleinteile abgeschlossen
- 02.02.15 - Stefan
  - Fertigstellung Stromversorgung (außer fehlende FBs)
  - Inbetriebnahme Linearregler
  - [Inbetriebnahmeprotokoll](#)
- 03.05.15 - Stefan
  - Bestückung aller 100nF, 10nF
- 18.02.15 - Treffen mit Gert
  - Inbetriebnahme SV Gert - geht
  - Auflöten FPGA Stefan - wird erkannt! Programmierung noch nicht möglich, 1k/10k fehlen noch
- 04.03.15 - Treffen mit Gert
  - Auflöten der kritischen SMD-Teile (FPGA, ADC, Netzwerk) auf Gerts Hermes
  - Bestückung diverser Teile
- 11.03.15 - Stefan
  - alle SMD-Schaltkreise bestückt
  - alle Seiten der „Common Components“ bearbeitet - nur noch Einzelne SMD-Teile übrig
- 17.03.15 - Stefan
  - alle SMD-R bestückt
  - alle Dioden/Transistoren bestückt
  - nur noch wenige L (alles außer die FBs) und C fehlen
  - SMPS in Betrieb genommen - 33mOhm statt den großen FBs - geht

- 18.03.15 - Stefan
  - restliche Ls und Cs bestückt
  - Leiterplatte gereinigt und nochmal sichtkontrolliert
  - Programmierung mit USB Blaster funktionierte auf Anhieb
  - Problem 1: Ethernet bekommt keinen Link
    - Lösung: Ein hochohmiges FB, Spannung damit zu niedrig und PHY im Reset
  - Problem 2: Hermes startet neu, wenn Verbindung per Ethernet hergestellt wird
    - Lösung: Ein hochohmiges FB :( Spannung an 1.2V nur noch 0.9V - zu wenig
  - Nach Behebung: Alles prima, Hermes funktioniert
- 05.05.2015 - Inbetriebnahme Gerts Hermes
  - funktioniert!

## Basteltagebuch YC

- 14.02.15
  - Fertigstellung Bestückung 5V-Schaltregler( $R_{125}=220k$ ,  $R_{112}=39k$ )
  - Bestückung aller 22R, 10k, 1k5(also 2k2), 1k, 2k2, 0R Widerstände(nicht zu bestücken: R131, R132, R133, R135, R136, R137)
  - Bestückung aller MC BE außer DAT-31
  - Bestückung aller roten LEDs
  - Bestückung aller Ferrite
  - Bestückung aller 100nF, 10nF, 1nF, 10uF, 1uF Kondensatoren
  - Fertigstellung Stromversorgung
    - Inbetriebnahme Linearregler:
    - **Inbetriebnahmeprotokoll**
- 15.02.15
  - Bestückung FPGA
  - Inbetriebnahme USB-Blaster
- 16.02.15
  - FPGA wird in Quartus erkannt
- 17.02.15
  - Oszillatoren und SPI-Flash bestückt
    - **Test-Dateien**(Programmierfiles und Quellcode) **Quartus-Projekt**
    - Mit HermesTest können die Oszillatoren(10MHz, 25MHz, 122,88MHz), der SPI-Flash(mit dem .jic-File) und die PLL getestet werden - es wird der VCXO phasenstarr mit dem 10MHz-Takt gekoppelt
- 20.02.15
  - alle QFN-Bauteile aufgelötet
- 21.02.15
  - fertig bestückt
  - Frontplatten gefräst - Löcher für Power LED und Status LED fehlen noch
  - Netzwerk wird erkannt
- 22.02.15
  - Software-Inbetriebnahme → Hermes funktioniert!

## Frontplatte

Sebastian hat Frontplatten gefräst. Dazu mussten nur Aussparungen für Netzwerk- und GPIO-Port gefräst werden, der Rest sind runde Löcher. Das Ergebnis darf hier bestaunt werden:

## TODO

### Inbetriebnahme

Zuerst muss [Hermes.jic](#) in das SPI-Flash gebrannt werden. Anschliessend erhöht sich der

Stromverbrauch spürbar. Ist dies nicht der Fall, liegt ein Fehler vor



### Windows

1. Microsoft .Net 4.0 Client installieren
2. PowerSDR mRX PS installieren
3. tftpd32 installieren
4. Firewall deaktivieren
5. tftpd32 DHCP-Server konfigurieren
  - Nach Anstecken der Stromversorgung wird die IP von Hermes im Log angezeigt
6. PowerSDR starten
7. Unter Setup → Connection Type die IP eintragen, apply, OK
8. Power-Schalter oben links klicken
9. Fertig, die Spektrumsanzeige sollte „wackeln“

### Hermes von DL3YC

Stromaufnahme bei 12V RX: 780mA

Stromaufnahme bei 12V TX: 1100mA

Folgende maximale Ausgangsleistungen wurden gemessen(Drive=100):

Band	Ausgangsleistung
80m	26,1dBm
40m	26,0dBm
20m	26,6dBm
10m	26,6dBm
6m	22,5dBm

### Bilder

Als schöner Abschluss des Projektes zeigt es sich hier noch ein paar Bilder einzustellen.



## Mechanik

Die Wärmeableitung sollte man nicht unterschätzen. Es wird eine Metallplatte(Alu) angefertigt, die mit der Unterseite der Leiterplatte durch ein großes Wärmeleitpad(Paste?) verbunden ist. TODO

From:  
<http://loetlabor-jena.de/> - **Löt**labor Jena



Permanent link:  
<http://loetlabor-jena.de/doku.php?id=projekte:hpsdr:start>

Last update: **2017/06/05 22:52**