HPSDR-Nachbau

Ziel ist es ein **HPSDR Hermes**-Bausatz zusammenzustellen und diesen selbst zu bestücken und in Betrieb zu nehmen.

Projektmitglieder sind aktuell Gert DL5ARG, Stefan DK3SB und Sebastian DL3YC.

Projektseite von HPSDR: http://openhpsdr.org/hermes.php / http://openhpsdr.org/wiki/index.php?title=HERMES

Unterlagen

Schaltplan: TAPR Apache Labs
Das Layout ist nicht open source! Apache Labs hat es nicht freigegeben.

Aufbauinformationen: Hermes

Bausatz

Zusammengestellter Bausatz: BOM

Digikey-Warenkorb hier - 318,17€
Reichelt-Warenkorb hier - 20,48€
Mini-Circuits wurde bei eBay von einem rumänischen OM bestellt.
Die Leiterplatte kann von Apache Labs für nur 18$ bezogen werden.

Anmerkungen

- Die BOM von Apache hat bei Unstimmimigkeiten zwischen BOM und Schaltplan Vorrang
- 1206er FBs nicht geeignet, Passende werden bei Conrad besorgt und bringt YC am 31.01 mit
- richtige Ethernetbuchse wurde mitbestellt(sehr teuer, aber passend)

Offene Fragen

- Für R113 wurden statt 56k (Schaltplan) Widerstände mit 63,4k (BOM) benutzt.
  - Wird auch so im Datanblatt empfohlen(Vermutung E12 vs. E96)
- C198 (47u) ist mechanisch zu klein (reicht nicht über beide Pads)
  - Lösung: Tantali 22u verwendet.

Aufbau

aktueller Stand: Alle Bauteile sind beschafft. Die Bestückung steht noch aus.

Hinweise

C37 und C77 sind auf der Platine fälschlicherweise als C229 und C228 bezeichnet. Beide werden mit je 33pF bestückt(wie im BOM).

Vorbereitungen

USB Blaster

Zur Inbetriebnahme wurden 2 USB-Blaster aufgebaut. Damit wird dann das FPGA mit Software versorgt.



Berechnung LM1117-ADJ

Als LDO für 12V wird ein LM1117 verwendet. Die notwendigen Widerstände sind

- R1 (Pin 1 - Pin 2) = 475R ODER 1k ODER 825R
- R2 (Pin 1 - GND) = 3k9 ODER 8k2 ODER 6k8
- erstere Bestückoption bevorzugt (0603 senkrecht, 0805 waagerecht)

Berechnet mit Formel aus Datenblatt und verifiziert mit LTspice.

Bestückung

Basteltagebuch Gert & Stefan

- 21.01.15 - Stefan sortiert Bauteile und probiert die Leiterplatte aus
  - erste Teile der Stromversorgung montiert
- 28.01.15 - erstes Treffen, Aufbau erster Teil der Stromversorgung (Schaltplan-Seite 5)
  - Gert hat einen Teil der verbleibenden Bauelemente mitgenommen
  - Stefan hat Seite 5 bis auf Kleinteile abgeschlossen
- 02.02.15 - Stefan
  - Fertigstellung Stromversorgung (außer fehlende FBs)
  - Inbetriebnahme Linearregler

    - Inbetriebnahmeprotokoll
- 03.05.15 - Stefan
    - Bestückung aller 100nF, 10nF
- 18.02.15 - Treffen mit Gert
    - Inbetriebnahme SV Gert - geht
    - Auflöten FPGA Stefan - wird erkannt! Programmierung noch nicht möglich, 1k/10k fehlen noch

Basteltagebuch YC

J21 gebrückt, F2+F3 gebrückt, SW1 mit 2x Laborbuchsen 2mm bestückt

- 14.02.15
    - Fertigstellung Bestückung 5V-Schaltregler(R125=220k, R112=39k)
    - Bestückung aller 22R, 10k, 1k5(als 2k2), 1k, 2k2, 0R Widerstände(nicht zu bestücken: R131, R132, R133, R135, R136, R137)
    - Bestückung aller MC BE außer DAT-31
    - Bestückung aller roten LEDs
    - Bestückung aller Ferrite
    - Bestückung aller 100nF, 10nF, 1nF, 10uF, 1uF Kondensatoren
    - Fertigstellung Stromversorgung
        - Inbetriebnahme Linearregler:
        - Inbetriebnahmeprotokoll
- 15.02.15
    - Bestückung FPGA
    - Inbetriebnahme USB-Blaster
- 16.02.15
    - FPGA wird in Quartus erkannt
- 17.02.15
    - Oszillatoren und SPI-Flash bestückt
        - Test-Dateien(Programmierfiles und Quellcode) Quartus-Projekt
        - Mit HermesTest können die Oszillatoren(10MHz, 25MHz, 122,88MHz), der SPI-Flash(mit dem .jic-File) und die PLL getestet werden - es wird der VCXO phasenstarr mit dem 10MHz-Takt gekoppelt
- 20.02.15
    - alle QFN-Bauteile aufgelötet
- 21.02.15
    - fertig bestückt
    - Netzwerk wird nicht erkannt

Frontplatte

Es muss noch ein Frontplatten-Design entworfen werden. Sebastian wird den Prototypen fräsen.

From:
https://loetlabor-jena.de/ - **Lötlabor Jena**

Permanent link:
https://loetlabor-jena.de/doku.php?id=projekte:hpsdr:start&rev=1424496136

Last update: **2015/02/21 05:22**