# **HPSDR-Nachbau**

Ziel ist es ein **HPSDR Hermes**-Bausatz zusammenzustellen und diesen selbst zu bestücken und in Betrieb zu nehmen.

Projektmitglieder sind aktuell Gert DL5ARG, Stefan DK3SB und Sebastian DL3YC.

Projektseite von HPSDR: http://openhpsdr.org/hermes.php / http://openhpsdr.org/wiki/index.php?title=HERMES

## Unterlagen

Schaltplan: TAPR Apache Labs

Das Layout ist nicht open source! Apache Labs hat es nicht freigegeben.

Aufbauinformationen: Hermes

## **Bausatz**

Zusammengestellter Bausatz: BOM

Digikey-Warenkorb hier - 318,17€ Reichelt-Warenkorb hier - 20,48€

Mini-Circuits wurde bei eBay von einem rumänischen OM bestellt.

Die Leiterplatte kann von Apache Labs für nur 18\$ bezogen werden.

## **Anmerkungen**

- Die BOM von Apache hat bei Unstimmimigkeiten zwischen BOM und Schaltplan Vorrang
- 1206er FBs nicht geeignet, Passende werden bei Conrad besorgt und bringt YC am 31.01 mit
- richtige Ethernetbuchse wurde mitbestellt(sehr teuer, aber passend)

## Offene Fragen

- Für R113 wurden statt 56k (Schaltplan) Widerstände mit 63,4k (BOM) benutzt.
  - Wird auch so im Datanblatt empfohlen(Vermutung E12 vs. E96)
- C198 (47u) ist mechanisch zu klein (reicht nicht über beide Pads)
  - Lösung: Tantali 22u verwendet.

## **Aufbau**

aktueller Stand: Alle Bauteile sind beschafft. Die Bestückung steht noch aus.

#### Hinweise

C37 und C77 sind auf der Platine fälschlicherweise als C229 und C228 bezeichnet. Beide werden mit je 33pF bestückt(wie im BOM).

### Vorbereitungen

#### **USB Blaster**

Zur Inbetriebnahme wurden 2 USB-Blaster aufgebaut. Damit wird dann das FPGA mit Software versorgt.



#### **Berechnung LM1117-ADJ**

Als LDO für 12V wird ein LM1117 verwendet. Die notwendigen Widerstände sind

- R1 (Pin 1 Pin 2) = 475R ODER 1k ODER 825R
- R2 (Pin 1 GND) = 3k9 ODER 8k2 ODER 6k8
- erstere Bestückoption bevorzugt (0603 senkrecht, 0805 waagerecht)

Berechnet mit Formel aus Datenblatt und verifiziert mit LTspice.

## **Bestückung**

#### **Basteltagebuch Gert & Stefan**

- 21.01.15 Stefan sortiert Bauteile und probiert die Leiterplatte aus
  - erste Teile der Stromversorgung montiert
- 28.01.15 erstes Treffen, Aufbau erster Teil der Stromversorgung (Schaltplan-Seite 5)
  - Gert hat einen Teil der verbleibenden Bauelemente mitgenommen
  - Stefan hat Seite 5 bis auf Kleinteile abgeschlossen
- 02.02.15 Stefan
  - Fertigstellung Stromversorgung (außer fehlende FBs)
  - Inbetriebnahme Linearregler

http://loetlabor-jena.de/ Printed on 2025/11/04 15:51

- Inbetriebnahmeprotokoll
- 03.05.15 Stefan
  - Bestückung aller 100nF, 10nF
- 18.02.15 Treffen mit Gert
  - o Inbetriebnahme SV Gert geht
  - Auflöten FPGA Stefan wird erkannt! Programmierung noch nicht möglich, 1k/10k fehlen noch
- 04.03.15 Treffen mit Gert
  - o Auflöten der kritischen SMD-Teile (FPGA, ADC, Netzwerk) auf Gerts Hermes
  - Bestückung diverser Teile
- 11.03.15 Stefan
  - alle SMD-Schaltkreise bestückt
  - o alle Seiten der "Common Components" bearbeitet nur noch Einzelne SMD-Teile übrig
- 17.03.15 Stefan
  - o alle SMD-R bestückt
  - alle Dioden/Transistoren bestückt
  - o nur noch wenige L (alles außer die FBs) und C fehlen
  - o SMPS in Betrieb genommen 33mOhm statt den großen FBs geht

#### **Basteltagebuch YC**

J21 gebrückt, F2+F3 gebrückt, SW1 mit 2x Laborbuchsen 2mm bestückt

- 14.02.15
  - Fertigstellung Bestückung 5V-Schaltregler(R125=220k, R112=39k)
  - Bestückung aller 22R, 10k, 1k5(als 2k2), 1k, 2k2, 0R Widerstände(nicht zu bestücken: R131, R132, R133, R135, R136, R137)
  - Bestückung aller MC BE außer DAT-31
  - Bestückung aller roten LEDs
  - Bestückung aller Ferrite
  - ∘ Bestückung aller 100nF, 10nF, 1nF, 10uF, 1uF Kondensatoren
  - Fertigstellung Stromversorgung
    - Inbetriebnahme Linearregler:
    - Inbetriebnahmeprotokoll
- 15.02.15
  - Bestückung FPGA
  - Inbetriebnahme USB-Blaster
- 16.02.15
  - FPGA wird in Quartus erkannt
- 17.02.15
  - Oszillatoren und SPI-Flash bestückt
    - Test-Dateien(Programmierfiles und Quellcode) Quartus-Projekt
    - Mit HermesTest können die Oszillatoren(10MHz, 25MHz, 122,88MHz), der SPI-Flash(mit dem .jic-File) und die PLL getestet werden - es wird der VCXO phasenstarr mit dem 10MHz-Takt gekoppelt
- 20.02.15
  - alle QFN-Bauteile aufgelötet
- 21.02.15
  - fertig bestückt
  - Frontplatten gefräst Löcher für Power LED und Status LED fehlen noch

- Netzwerk wird erkannt
- 22.02.15
  - Software-Inbetriebnahme → Hermes funktioniert!

### **Frontplatte**

Sebastian hat Frontplatten gefräst. Dazu mussten nur Aussparungen für Netzwerk- und GPIO-Port gefräst werden, der Rest sind runde Löcher. Das Ergebnis darf hier bestaunt werden:

#### **TODO**

### **Inbetriebnahme**

Zuerst muss Hermes.jic(**TODO: einfügen**) in das SPI-Flash gebrannt werden. Anschliessend erhöht sich der Stromverbrauch spürbar. Ist dies nicht der Fall, liegt ein Fehler vor

#### **Windows**

- 1. Microsoft .Net 4.0 Client installieren
- 2. PowerSDR mRX PS installieren
- 3. tftpd32 installieren
- 4. Firewall deaktivieren
- 5. tftpd32 DHCP-Server konfigurieren
  - Nach Anstecken der Stromversorgung wird die IP von Hermes im Log angezeigt
- 6. PowerSDR starten
- 7. Unter Setup → Connection Type die IP eintragen, apply, OK
- 8. Power-Schalter oben links klicken
- 9. Fertig, die Spektrumsanzeige sollte "wackeln"

#### **Hermes von DL3YC**

Stromaufnahme bei 12V RX: 780mA Stromaufnahme bei 12V TX: 1100mA

Folgende maximale Ausgangsleistungen wurden gemessen(Drive=100):

Band	Ausgangsleistung
80m	26,1dBm
40m	26,0dBm
20m	26,6dBm
10m	26,6dBm
6m	22,5dBm

http://loetlabor-jena.de/ Printed on 2025/11/04 15:51

From:

http://loetlabor-jena.de/ - Lötlabor Jena

Permanent link:

http://loetlabor-jena.de/doku.php?id=projekte:hpsdr:start&rev=1426632689

Last update: **2015/03/17 22:51** 

