USB-Blaster

Es soll ein Programmieradapter für FPGAs von Altera(USB-Blaster) entstehen.

Vorgeschichte

Damals, vor vielen Jahren, hat sich Sebastian DL3YC mit dem Selbstbau von Logic Analyzern beschäftigt. Das war die Zeit als Nachbau-Versuche vom Salea Logic begannen erfolgreich zu werden. Dadurch bestärkt und auch durch die berufliche Auseinandersetzung mit dem USB-Schaltkreis FX2 von Cypress, entstand der Wunsch nach einem FX2-basierten Logic Analyzer, der die hervorragende Software von Salea nutzen kann. Der Trick ist dabei, dass die Firmware zur Laufzeit auf das Gerät geladen wird und man nur dafür sorgen musste, dass der Schaltkreis sich mit der richtigen Produkt- und Hersteller-ID per USB meldet. Dazu schreibt man sie in einen I²C-EEPROM, das der FX2(auch liebevoll „Zypresse“ genannt) beim Power-Up ausliest und sich mit den Daten versucht zu enumerieren.

Dies war alles im Jahre 2010, es entstanden selbst gebaute Leiterplatten von Sebastian und auch Winni DL2AWT(Datecode auf dem PCB: 5010, also KW50 2010). Vorallem die Leiterplatte von Winni hatte Potenzial, da man mit dieser auch einen schnellen AD-Wandler angebunden hat. Alle Leiterplatten hatten leider gemein, dass sie Probleme beim Enumerieren als Hi-Speed-Gerät haben. Dieses Problem zeigte sich auf sehr unterschiedliche und schlecht reproduzietrbare Weise. „Manchmal geht's“ ist für einen Logic Analyzer, den man vorallem in problematischen Situationen einsetzen will, keine Option. So vergingen 2 Jahre bis man sich noch einmal aufrappelte und eine Kopie von scheinbar funktionierenden Klonen aus dem Internetz in China fertigen lies(Datecode „0612“, also Juni 2012). Aber auch diese Leiterplatten zeigten die gleichen Probleme, die sich auch durch intensive Analyse nicht beheben wollten. Enttäuscht wurde das Projekt beendet.

Jetzt liegen also noch die Leiterplatten und vorallem auch die teuren USB-Schaltkreise rum. Um den leider fehlgeschlagenen Projekt noch einen Sinn zu geben, werden auf Grundlage dieser Leiterplatten USB-Blaster hergestellt. Dazu wird die Leiterplatte für eine übliche JTAG-Verbindung umgebaut. Als Software läuft auf der Zypresse eine freie Firmware, bei der nur das Pinout angepasst werden muss.

LOGIC

Zur Referenz die initiale Leiterplatte, wie sie als Logic-Analyzer angedacht war:
Schaltplan
Layout
EEPROM-Inhalt
Anleitung zur Inbetriebnahme

Umbau der Leiterplatte

Es wird die Leiterplatte größtenteils laut Schaltplan von LOGIC aufgebaut. Es werden die zu bestückenden BE in der empfohlenen Aufbaureihenfolge aufgelistet:

1. X1, U1, C13, C14, C12, C21, R19
    - R19 mit 1M bestücken
    - Spannung über C12 soll 3,3V betragen
2. U2, U3, C1-C11, Q1, C17, C18, R8, R1, R2, R4, R6
    - R4 und R5 mit 4k7 bestücken
    - R8 mit 1M bestücken
    - C18 mit 12p bestücken
    - Nach Anstecken von USB sollte ein neues Gerät mit VID und PID != 0x00 erkannt werden
3. U5, R5, R9, R10, R21, R7
    - EEPROM-Programmierung soll danach erfolgreich verlaufen
4. U6, C20, R18, RN1, RN3, RN4
    - R18 mit 0R bestücken

Software-Anpassung

Inbetriebnahme

From:
https://loetlabor-jena.de/ - **Lötlabor Jena**

Permanent link:
https://loetlabor-jena.de/doku.php?id=projekte:usbblaster:start&rev=1423942689

Last update: **2015/02/14 19:38**